

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-126872

(43)Date of publication of application : 21.05.1993

(51)Int.Cl.

G01R 21/00
G06F 15/20

(21)Application number : 03-288128

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.11.1991

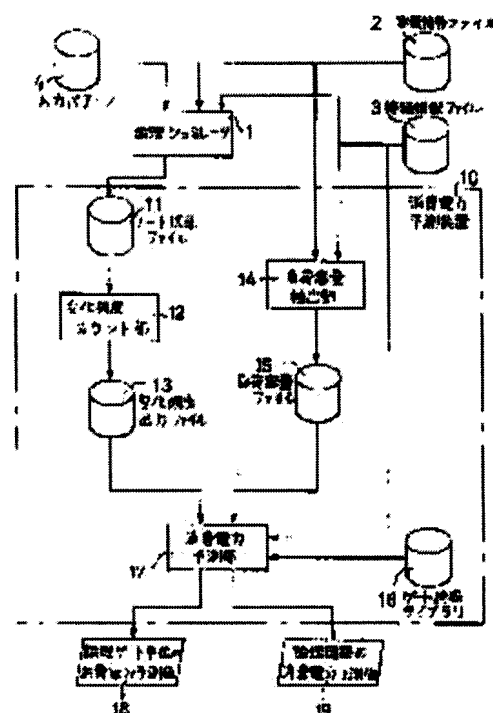
(72)Inventor : YOSHIKAWA HIDEAKI

(54) DEVICE FOR PREDICTING POWER CONSUMPTION

(57)Abstract:

PURPOSE: To predict accurately and rapidly the power consumption by a highly integrated semiconductor device, to make optimum the power supply wiring design and the arrangement design of logical gates, and to obtain the high-density, high-speed and highly reliable semiconductor device.

CONSTITUTION: This device consists of a counting part 12 for counting the frequency of state change of a node in a logical simulator 1 for simulating a logical circuit digitally, an extracting part 14 for extracting the load capacity concerned in the node, and a predicting part 17 for predicting the power consumption by using the classified parameter of the gates registered on a library 16 for every logical gate constituting the logical circuit.



LEGAL STATUS

[Date of request for examination] 23.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 30.05.2001

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-126872

(43)公開日 平成5年(1993)5月21日

(51)Int.Cl.⁵

G 0 1 R 21/00

G 0 6 F 15/20

識別記号

庁内整理番号

Z 8606-2G

D 7218-5L

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 13 頁)

(21)出願番号

特願平3-288128

(22)出願日

平成3年(1991)11月1日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 吉川 英章

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

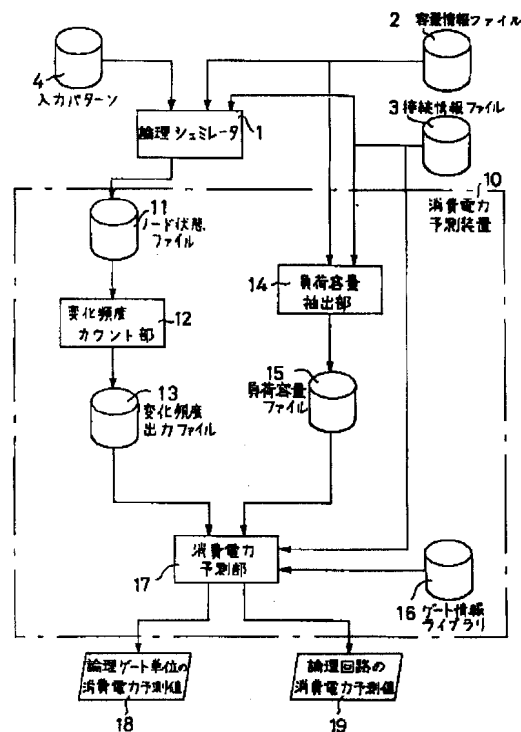
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 消費電力予測装置

(57)【要約】

【目的】 高集積度の半導体装置における消費電力を精度良く、短時間に予測し、電源配線設計、論理ゲートの配置設計の最適化を図り、高密度、高速で、信頼性の高い半導体装置を実現する。

【構成】 論理回路をデジタル的にシミュレーションする論理シミュレータ1におけるノードの状態変化頻度をカウントするカウント部12、ノードに係る負荷容量を抽出する抽出部14、論理回路を構成する論理ゲート毎に、ライブラリ16に登録されたゲートの種類別のパラメータを用いて消費電力を予測する予測部17を用いて装置を構成する。



【 特許請求の範囲】

【 請求項1 】 複数の論理ゲート およびマクロセルを含む論理回路を有する半導体装置の消費電力を予測する消費電力予測装置であって、この半導体装置の論理シミュレータに印加された入力パターンにより 前記論理回路の各接続点に変化した状態を記憶する接続点情報記憶手段と、前記論理シミュレータ内の前記論理回路の構成に基づき前記接続点に等価的に接続している各種容量の総和を求める負荷容量抽出手段と、前記接続点の状態が変化する状態変化頻度および前記負荷容量に基づき前記消費電力を予測する電力予測手段とを有することを特徴とする消費電力予測装置。

【 請求項2 】 請求項1 において、前記電力予測手段は、前記状態変化頻度を前記接続点の平均動作周波数に変換する動作周波数導出手段を備えていることを特徴とする消費電力予測装置。

【 請求項3 】 請求項1 または2 において、前記接続点は前記論理ゲートを接続するノードであり、前記電力予測手段は、前記論理回路を構成する各種論理ゲート 毎のパラメータが蓄積されたパラメータ蓄積手段と、該論理回路を構成する各論理ゲート に対応し選択された前記パラメータに基づきその論理ゲート に属する前記ノードの前記状態変化頻度および前記負荷容量から論理ゲート 毎に前記消費電力を予測する論理ゲート 単位予測手段とを備えていることを特徴とする消費電力予測装置。

【 請求項4 】 請求項3 において、前記論理ゲート 単位予測手段において算出された前記論理ゲート 毎の前記消費電力を該論理ゲート 毎に出力することができる消費電力出力手段を有していることを特徴とする消費電力予測装置。

【 発明の詳細な説明】

【 0 0 0 1 】

【 産業上の利用分野】 本発明は、半導体装置の故障シミュレーションなどに用いられる論理シミュレータを用いた半導体装置、特に、半導体集積回路装置の消費電力算出装置に関するものである。

【 0 0 0 2 】

【 従来の技術】 従来、半導体集積回路装置の消費電力は、その半導体装置の用いられている装置の消費電力に占める割合は小さなものであり、正確な値は必要とされていなかった。また、半導体集積回路装置自体においても、回路を構成する各素子の消費する電力は小さなものであり、回路設計において考慮される必要は少なかった。

【 0 0 0 3 】 従って、新たな半導体装置の消費電力は、人手により 概算可能な範囲の精度で充分であった。このため、消費電力は、従前に製造された類似の半導体装置の消費電力から類推したり、または、回路を構成する論理ゲートの数量、種別を基にそのゲートの見込まれる活性化率、見込まれる動作頻度など推定して算出してい

た。

【 0 0 0 4 】

【 発明が解決しようとする課題】 近年、プロセス技術の進歩に伴い半導体装置の集積化が進み、大規模化、高速化が図られている。このため、半導体装置の消費電力が増加してきている。また、これらの半導体装置が用いられる装置自体も高機能、小型化が進んでおり、半導体装置の消費電力の占める割合も増加してきている。例えばC MOS の半導体集積回路は動作していない時には殆ど電流が流れず、低消費電力であると一般に言われるが、動作時にはかなり大きな電力を消費する。さらに、集積度の高い半導体装置において、電源供給配線の占める割合も増加してきており、最適化設計のためには、半導体装置の各部において消費される電力を予測することが重要となってきた。

【 0 0 0 5 】 このように、半導体装置の消費電力を精度良く予測することが要求されているが、上述した従来の算出方法では、精度の良い消費電力を算出するためには、半導体回路中の各ゲート、フリップフロップなどの回路要素の活性化率、動作頻度などを正確に把握しなければならない。しかしながら、回路要素の多い半導体集積回路において、これらの値を正確に把握することは困難である。回路内部の接続点の電流・電圧を求める回路シミュレータ（例えばS P I C E など）を用いて消費電力を予測することも可能であるが、回路の解析に要する時間が膨大であり、現状のコンピュータの性能では現実的でない。もちろん、試作された装置を用いて消費電力を計測することも可能であるが、時間と経費が多である。さらに、この計測方法では、半導体装置上の消費電力の分布を計測することは困難であり、消費電力の分布に基づく配置設計を行うことができない。

【 0 0 0 6 】 また、半導体装置の各電源配線に流れる電流を求め、エレクトロマイグレーションによる配線寿命を各配線毎に求めたり、各電源配線の電流密度から最適な配線幅を求め、レイアウトを変更することも不可能であった。

【 0 0 0 7 】 さらに、消費電力によるチップ温度の上昇も問題となってきたり、チップ温度の上昇によって半導体装置の信頼性の低下や、伝達遅延時間の変動が起るため、消費電力が精度良く求められないと伝達遅延時間や信頼性なども正確に見積もることはできない。

【 0 0 0 8 】 そこで本発明においては、上記の問題点を鑑みて、半導体装置、特にC MOS などのM I S F E T を回路の構成要素として含む半導体装置の消費電力を精度良く、短時間に算出することができる装置の実現を目的としている。

【 0 0 0 9 】

【 課題を解決するための手段】 上記の問題を解決するために、本発明においては、半導体装置上に構成された論理回路の各接続点の状態をデジタル量として取り扱う

論理シミュレータに着目し、その接続点の状態変化に基づき消費電力を予測するようにしている。すなわち、本発明に係る複数の論理ゲートおよびマクロセルを含む論理回路を有する半導体装置の消費電力を予測する消費電力予測装置においては、この半導体装置の論理シミュレータに印加された入力パターンにより論理回路の各接続点が増減した状態を記憶する接続点情報記憶手段と、論理シミュレータ内の論理回路の構成に基づき各接続点に等価的に接続されている各種容量の総和を求める負荷容量抽出手段と、各接続点の状態が増減する状態変化頻度および負荷容量に基づき消費電力を予測する電力予測手段とを有することを特徴としている。そして、この電力予測手段としては、状態変化頻度を接続点の平均動作周波数に変換する動作周波数導出手段を備えていることが望ましい。

【0010】また、電力予測手段は、半導体装置を構成する各種論理ゲートおよび各種マクロセル毎の電力予測用パラメータが蓄積されたパラメータ蓄積手段から電力予測に必要なパラメータを取り出して電力予測を行う。この電力予測は、各論理ゲート及びマクロセルの入出力端子が接続されている各接続点の状態変化頻度、負荷容量および上記パラメータから各論理ゲートおよびマクロセル毎に求められ出力できる論理ゲート単位予測手段を備えていることが望ましい。また、これらの各論理ゲートおよびマクロセル毎の消費電力予測を合成し、装置全体の消費電力を求める手段を有することが望ましい。さらに、求められた消費電力の結果と、半導体装置の配置データ、レイアウトデータから各電源配線に流れる電流を求める電流予測手段、この予測に基づき配線寿命を計算する寿命予測手段、流れる電流から必要な配線幅を計算し、電源配線の幅を最適に変更・配置等する配線設計手段、チップの温度情報を正確に見積もる温度予測手段などを有することが望ましい。

【0011】

【作用】半導体装置上の論理ゲート、例えばANDゲートなどの消費電力は、定常的に消費される消費電力と、その論理ゲートの動作に伴って消費される電力の和として与えられ、この論理ゲートの動作に伴って消費される電力は論理ゲート内部で消費される電力と、その出力端子に等価的に接続している各種負荷容量を充放電するために消費される電力からなる。

【0012】従って、各論理ゲートの消費電力を求めるためには、定常的に消費される電力と、動作頻度に応じた電力が求められれば良い。特にCMOSの半導体装置においては定常的に消費される電力は殆ど無視できるのでより簡単になる。

【0013】また、複数の論理ゲートが集まったマクロセルにおいても、基本的に同じ考えに基づいて消費電力を求めることができる。

【0014】従って、論理回路の消費電力を求めるに

は、その論理回路を構成する各論理ゲートおよびマクロセルの動作頻度を求めるために論理シミュレータにおける各接続点の状態変化情報を使用する。各接続点の状態変化より各接続点、すなわち各論理ゲート及びマクロセルの入出力端子の状態変化頻度が分かり消費電力を求めることができる。

【0015】本発明においては、各入力パターンにより変化する各接続点の状態が接続点情報記憶手段を用いて、論理シミュレータから抽出され、各接続点の変化頻度がカウントされる。一方、各接続点に寄生する容量は、論理シミュレータにおけるシミュレーションのために構成されている論理回路の遅延情報などから負荷容量抽出手段により抽出される。従って、消費電力予測手段において、接続点情報記憶手段に記憶された各接続点の状態の変化の頻度、すなわち、各接続点の状態変化頻度からその接続点に付随した負荷容量の充放電の頻度が分かり、これに基づき各論理ゲートおよびマクロセルの消費電力が予測され、各論理ゲート毎の消費電力より半導体装置全体の消費電力が予測される。

【0016】半導体装置の消費電力を予測する際に、状態変化頻度を周波数に変換することにより、消費電力が予測される。そして、この単位時間として比較的長い時間を採用することにより、平均化された消費電力が求められる。また、比較的短い時間を採用することにより、ダイナミックな消費電力が求められる。例えば、1000の入力パターンの内、連続した50の入力パターンの間で消費電力を求めると、ダイナミックな消費電力が予想され、一方、1000の入力パターンの区間全体で消費電力を求めると平均的な消費電力が予想される。

【0017】一般的に、論理シミュレータは論理のみが合うように作られているので、SPICEなどの回路シミュレータとことなり、実際の半導体装置の回路構成、すなわち各トランジスタレベルの接続を正確に表していないことが多い。例えば、論理シミュレータにおけるANDゲートは、ANDゲートだけで表現することも、NANDゲート+インバータで表現することもできる。また、複数の論理ゲートからなるフリップフロップやマクロセルも論理シミュレータにおいては、実際の論理ゲートの接続通りに表現される場合もあるが、一般的には処理の高速化のために、専用のモデルが用意され、実際の回路とは大きくことなる論理接続で表されたシミュレーションが行われることが多い。

【0018】従って、消費電力を精度良く短時間で、高速に求めるためには、論理シミュレータにおける全ての接続点の情報を抽出する必要はなく、各論理ゲート及びマクロセルの入出力端子の接続情報を求め、各論理ゲート及びマクロセルの別途予測し、設定された内部での消費電力値を使用すれば良い。勿論、マクロセル内部の各論理ゲートの接続情報が抽出可能であり、その結果からマクロセル内部の各論理ゲート毎の消費電力が予測でき

5

るであればその様にしても良い。そして、パラメータ蓄積手段に蓄積された各種論理ゲート毎の消費電力の予想に係るパラメータから、各論理ゲートに対応したパラメータを選択することにより、その論理ゲートに属するノードの状態から論理ゲートにおいて消費される論理ゲート毎の電力が予想される。そして、この論理ゲート毎の電力と各ノードの状態変化頻度、負荷容量から半導体装置の消費電力が精度良く短時間に予想される。また、論理ゲート消費電力出力手段を用いることにより、各論理ゲート毎の消費電力が検証でき、各論理ゲートの消費電力に適した電力供給配線の選択、配置設計における温度上昇の均一化を図ることが可能となる。

【 0 0 1 9 】

【実施例】以下に図面を参照して本発明の実施例を説明する。

【 0 0 2 0 】図1 に、本発明に係る消費電力予測装置の構成の一例を示してある。本消費電力予測装置1 0 は、論理シミュレータ1 における種々のデータを用いるため、論理シミュレータ1 の下流に位置している。この論理シミュレータ1 は、シミュレートする論理回路の情報の入力された容量情報ファイル2 、接続情報ファイル3 に基づき稼働するシミュレータである。そして、その論理回路に入力される入力パターン4 から、回路の接続点（ノード）の状態の変化をデジタル的に論理演算するものである。

【 0 0 2 1 】本例の装置1 0 は、論理シミュレータ1 における各ノードの状態が出力されたノード状態ファイル1 1 、このノード状態ファイル1 1 に基づき各ノードの状態が変化した回数をカウントする変化頻度カウント部1 2 、その変化した回数が出力される変化頻度出力ファイル1 3 を備えている。また、論理シミュレーションで遅延時間を計算するために必要な各論理ゲート、マクロセルの入出力端子容量、配線容量、外部端子に接続される外部端子容量などが蓄積されている容量情報ファイル2 、および論理接続情報の入力された接続情報ファイル3 から各ノードの負荷容量を抽出する負荷容量抽出部1 4 、抽出される負荷容量の記憶される負荷容量ファイル1 5 を備えている。さらに、変化回数出力ファイル1 3 、負荷容量ファイル1 5 のデータから、各種ゲートの情報が登録されているゲート情報ライブラリ1 6 を参照して各論理ゲート毎に消費電力を予測する消費電力予想部1 7 を備えている。そして、この消費電力予想部1 7 において予想される消費電力値は、各論理ゲート毎の消費電力値1 8 として、また、論理回路全体の消費電力値1 9 として出力される。

【 0 0 2 2 】本装置1 0 の特徴は、各ノードの状態が変化する頻度に着目して消費電力を予想している点である。さらに、本装置1 0 においては、回路を構成する各論理ゲートに着目して、その論理ゲート毎に消費電力を予想している点も特徴である。

6

【 0 0 2 3 】先ず、ノードの状態の変化と、消費電力との関係について説明する。図2 に、相補型のMOS（CMOS）によるインバータ回路2 0 を示してある。このインバータ回路2 0 は、PチャンネルMOS 2 1、NチャンネルMOS 2 2 からなるCMOSにより構成されており、入力端子2 3 にパルス信号が入った時に、出力端子2 4 に接続された負荷容量2 5 を充放電するための電流が流れる。このように、インバータ回路2 0 の消費電力は、出力端子2 4 の状態が変化する時に流れる。そして、その電流値は、出力端子2 4 の負荷容量2 5 に比例する。この負荷容量2 5 は、出力端子2 4 に繋がる配線の容量、外部端子の容量、また、別の論理ゲートの入力となっている場合は、その論理ゲートを構成しているCMOSのゲート電極の容量などが含まれる。そして、単位時間当たりの消費電力、すなわち、消費電力を求めるには、単位時間当たりに出力端子2 4 の状態変化の回数（動作周波数）および負荷容量が分かれば良い。

【 0 0 2 4 】一般に、負荷容量の大半は、その出力端子に接続された配線の容量、それ自身の出力のドレイン容量、その配線の接続された次段のゲート容量および外部端子の容量であるのでこれらの容量、および各論理ゲートの出力端子の動作周波数を用いて論理回路の消費電力は精度良く予想することができる。フリップフロップなどにおいても、単純な論理ゲートの組合せとして表現することが可能であるので、その単純な論理ゲートの出力端子の動作周波数を求めることにより、消費電力を予想することが可能である。

【 0 0 2 5 】論理シミュレータは、半導体装置に構成された論理回路において、その論理回路が設計者が所望する動作をするかどうかを確認するために用いられ、伝播遅延を求めたりするために用いられる。そして、この論理シミュレータは、回路をアナログ的に解析する回路シミュレータと異なり、論理回路上の情報の伝播をデジタル的に取り扱うことができ、大規模な論理回路であっても早い速度でシミュレーションを行うことが可能である。そして、回路を構成している論理ゲートの接続点（ノード）の状態もデジタル的に追跡することができるので、このノードの情報を抽出することにより論理ゲートの出力端子の動作周波数を求めることができ、消費電力を予想することが可能となる。

【 0 0 2 6 】また、大規模な論理回路の場合、マクロセルやRAM、ROMなどの特殊なセルを含むことが多く、これらの入出力端子の変化頻度から消費電力を求めることが可能である。

【 0 0 2 7 】このように、論理ゲートの出力端子に着目し、従来の手作業により求められた消費電力と比較し、充分精度の良い消費電力の予想を行うことが可能である。さらに、本装置においては、これに加え、各論理ゲートの状態にも着目して論理回路の消費電力を予想するようにしている。例えば、図3 に示すようなNANDゲ

ート26における入力端子27、28および出力端子29と、NANDゲート26を構成するPチャンネルMOSトランジスタP1、P2、NチャンネルMOSトランジスタN1、N2の動作との関係は以下の表1のように*

*なる。

【0028】

【表1】

ノードの状態			MOSのオン・オフ			
27	28	29	P1	P2	N1	N2
1	1	0	オフ	オフ	オン	オン
1	0	1	オフ	オン	オン	オフ
0	1	1	オン	オフ	オフ	オン
0	0	1	オン	オン	オフ	オフ

【0029】このように、出力端子29の状態は変化しない場合であっても、入力端子27、28の変化に伴い、MOSトランジスタP1、P2、N1、N2はオン・オフを繰り返しており、これらのMOSトランジスタ※

※の寄生容量を充放電するために電力は消費される。そこで、本例の装置においては、消費電力の予測関数を各種の論理ゲート毎に以下のように設定している。

【0030】

$$P_g(G_n) = \sum (f_{gate,i}(n_i) + L_i \times n_i) + C_{gate} \cdots (1)$$

ここで、 $P_g(G_n)$ は、論理回路を構成する論理ゲート G_n の消費電力である。 $f_{gate,i}(n_i)$ は、その論理ゲート G_n の属する論理ゲートの種類毎、そしてその論理ゲートの入出力端子(ノード) i 毎に予め規定された関数である。

【0031】そして、平均動作周波数 n_i を変数として、その論理ゲート G_n の入出力端子全ての合計から予想消費電力を算出する。 L_i は、入力端子 i に等価的に接続したと見なされる容量であり、トランジスタの寄生容量や、出力端子に接続されている負荷容量を表している。また、 C_{gate} は、論理ゲートの種類毎に予め求められた定常消費電力である。本装置においては、 $f_{gate,i}$ および C_{gate} を回路シミュレータを用いて論理ゲートの種類毎に規定し、ライブラリとして予め登録することにより、本装置の稼働時間の短縮化を図っている。従って、本装置においては、論理ゲートにおいて消費される電力も勘案された精度の良い消費電力の予想が短時間で可能となっている。

【0032】以下に本装置の各部の詳細を説明する。

【0033】図4にノード状態ファイル11の出力の一部を示してある。このファイル11には、論理シミュレータ1において、入力パターン4により変化した各ノードの状態が記録されている。すなわち、入力パターン4によりシミュレートされた各イベント毎に、状態が変化したノード番号と、その変化した状態が論理シミュレー

タ1から出力されている。

【0034】図5に、ノード状態ファイル11から、ノード状態の変化の頻度をカウントする変化頻度カウンタ部12の処理の流れを示してある。まず、ステップST21において、カウントを開始するイベント番号と、カウントを終了するイベント番号を設定する。ノード状態ファイル11に記憶されたイベントは、論理シミュレータ1に印加される入力パターン4による論理回路の動作に対応している。このため、イベント番号を指定することにより、ノード状態の変化がカウントされる経過時間、動作時期を指定することができる。すなわち、このステップST21において後述する動作周波数が平均化される時間が設定されるのである。また、幾つかの期間に区切ってノード状態の変化をカウントし、必要に応じて期間毎のカウントを合成処理することにより、平均化される時間の長さを調整し、静的な消費電力、また動的な消費電力を予測することが可能である。

【0035】次に、ステップST22において、各ノードの最初のイベントにおける状態をセットする。そして、ステップST23において次のイベントのノードの状態を読み、ステップST24においてステップST23におけるノードの状態と比較する。ノードの状態が異なる場合は、ステップST25において変化回数をカウントし、変化後のノードの状態をセットする。ステップST26において、イベントの番号が終了すべきイベン

30

40

50

トの番号か否かを判定し、終了のイベント 番号までステップS T 2 3 からステップS T 2 6 までを繰り返す。

【 0 0 3 6 】 カウントを終了するイベント 番号までの処理が終了すると、ステップS T 2 7 において各ノード 毎にカウントされた変化回数と、カウントしたイベントに
10 対応する経過時間を変化頻度出力ファイル1 3 に出力する。

【 0 0 3 7 】 図6 に、負荷容量抽出部1 4 における処理の流れを示してある。負荷容量抽出部1 4 は、先ず、ステップS T 3 1 において論理回路に係る配線容量、外部
10 端子容量の記憶された容量情報ファイル2 を読み込む。次に、ステップS T 3 2 において、各ノードの接続情報の記憶された接続情報ファイル3 を読み込む。そして、ステップS T 3 3 において、接続情報に基づき各ノードに係る配線容量および端子容量を抽出する。その結果をステップS T 3 4 において、負荷容量ファイル1 5 に出力する。

【 0 0 3 8 】 図7 に、消費電力予測部1 7 における処理の流れを示してある。先ず、ステップS T 4 1 において変化頻度出力ファイル1 3 を読込、ステップS T 4 2 において各ノード 毎に、ファイル1 3 に出力された変化の
20 回数と経過時間から平均動作周波数 n_i へ変換する。次に、ステップS T 4 3 において、接続情報ファイル3 に記憶されている論理回路の情報から、その回路を構成する1 つの論理ゲート G_n を設定する。そして、ステップS T 4 4 において、論理ゲート G_n の種類より、その論理ゲート G_n に対応する(1) 式に示したパラメータ $f_{gate,i}$ および C_{gate} をゲート 情報ライブラリ1 6 に登録されたパラメータ群から抽出する。さらに、ステップS
30 T 4 5 においては、この論理ゲート G_n に属するノード i を接続情報ファイル3 から検索し、ステップS T 4 2 において変換した平均動作周波数 n_i および負荷容量ファイル1 5 に出力されたそのノードの負荷容量 L_i を用いて、(1) 式に従って、論理ゲート G_n の消費電力 $P_g(G_n)$ を予測する。この際、論理ゲート G_n の種類によって選択されたパラメータ $f_{gate,i}$ および C_{gate} が用いられる。従って、個々の論理ゲート G_n 毎にその状態に対応した消費電力を求めるために回路シミュレーションを行う 必要はなく、短時間に論理ゲート 内部での消費電力も加味した精度の高い消費電力を予測することが
40 可能である。

【 0 0 3 9 】 ステップS T 4 6 において、論理回路を構成している論理ゲート が終了したか否かを判断し、終了していない場合は、次の論理ゲート を設定してステップS T 4 3 に戻る。論理回路を構成している論理ゲートの全ての消費電力の予測が終了した場合は、ステップS T 4 8 において各論理ゲート 毎に予測された消費電力 $P_g(G_n)$ を集計し、論理回路の消費電力 P_e を予測する。そして、ステップS T 4 9 において、論理回路の消費電力 P 。および各論理ゲート 毎の消費電力 P

$g(G_n)$ を出力する。

【 0 0 4 0 】 以上のように、本例の消費電力予測装置は、論理シミュレータ1 においてシミュレートされた論理回路の接続点の変化の状態を抽出して、平均動作周波数 n_i に変換する。一方、各接続点に寄生する負荷容量も、論理シミュレータ1 に用いられる論理回路の情報から抽出する。そして、論理回路を構成している論理ゲートに着目し、その論理ゲート の入出力端子の平均動作周波数 n_i およびその負荷容量 L_i から論理ゲート 毎の消費電力を予測する。この際、その論理ゲート の種類から、予め登録されたパラメータを選択し、そのパラメータとノードとの関係から論理ゲート 内部にて消費される電力も付加するようにしている。このため、予測される消費電力の精度を向上させることが可能である。また、論理ゲート 内部にて消費される電力の予測には、ライブラリに予め登録されたパラメータを用いているため、予測に必要な時間も短い。このように、本装置は、デジタル化された情報に基づきシミュレーションを行う 論理シミュレータを用いて短時間に精度良く、各ノードの状態を把握し、消費電力を予測できるのみならず、論理ゲート 内部における消費電力の予測も短時間に加味することが可能であり、精度の良い消費電力予想を短時間に行うことが可能である。

【 0 0 4 1 】 さらに、本装置においては、各論理ゲート 毎に消費電力を出力することができるので、各論理ゲート において消費される電力を検証することが可能である。従って、半導体装置の設計において、論理回路の特性に合わせた最適化を行うことが可能となる。すなわち、各論理ゲート およびマクロセル毎の消費電力が求められるので、チップ上における各論理ゲート、マクロセルの配置および電源配線の情報を合わせて、各電源配線に流れる電流を求め、エレクトロマイグレーションに対する配線寿命を算出したり、最適な配線幅を計算しチップレイアウトを変えることもできる。また、平均動作周波数を求める経過時間の設定は自由にできるので、各論理ゲート において消費される電力のタイミングの検証も容易である。

【 0 0 4 2 】 このため、同じタイミングで消費される電力の大きな論理ゲート には、異なる電源配線から電源を供給して、急激な電圧低下による誤動作を防止することなどの対策をとることも容易となる。さらに、消費電力の大きな論理ゲート の配置を分散させ、半導体基板に発生する熱を分散し、放熱効果を高め、信頼性の高い半導体装置を実現することも可能となる。

【 0 0 4 3 】 具体的には、半導体装置の配置データ、レイアウト データから特定の領域あるいは特定の電源配線に接続された論理ゲート 及びマクロセル群を抽出する手段をゆうし、その抽出された論理ゲート 及びマクロセル群での予測消費電力値の総和を計算する。次に上記方法によって得られた予測消費電力値を、エレクトロマクイグ

レーションや発熱量等によってあらかじめ定められた電源配線幅と許容消費電力との対応テーブルと比較し、予測消費電力値に適切な電源配線幅を設定し、再度半導体装置の配置配線レイアウトを行えばよい。また当初、適当な電源配線幅に固定し、配置配線レイアウトを行い、次に上記と同様の予測消費電力値を計算し、予測消費電力と許容消費電力とを比較し、問題のある部分のみ電源幅を広げて再度、配置配線レイアウトする方法や、論理ゲート及びマクロセル群の一部を、他の領域あるいは他の電源配線に接続するなど、セル自体の一部を移動し再度、配置は配線レイアウトすることも可能である。これらの配置配線レイアウト方法は既存の自動化されたプログラムも利用可能であり、またセルの配置のみあるいは配線のみを変更して行う等、前回の配置配線レイアウト時の情報を利用して行うことにより、短時間に繰り返し再レイアウトすることも可能である。また本発明の方法を配置配線レイアウトプログラム内に組み込むことにより更に自動化も可能である。また、半導体基板の温度上昇を計算し、その結果を逆に論理シミュレータに返すことによって、より高精度の遅延時間を求めることもできる。このように、本例の装置を用いて消費電力を予測することにより、集積度の進んだ半導体装置に見合った、電源配線のきめ細かい設計を行うことができ、高密度、高速で、信頼性の高い半導体装置を実現することが可能となる。

【0044】なお、上記においてMOS論理回路に基づき説明したが、BI-MOS論理回路など、論理シミュレーションの可能な論理回路の消費電力の予測が可能であることはもちろんである。また、場合によっては、論理シミュレータ自身に本発明の予測装置を組み込むことにより論理シミュレーションと同時に消費電力を予測するようにすることも勿論可能である。

【0045】なお、以上では、各論理ゲート毎の消費電力の計算方法について説明したが、大規模のゲートからなる論理回路全体をマクロとして定義し、マクロ回路毎に消費電力を計算することも可能である。また、以上では、論理ゲートについて説明したが、RAM、ROMあるいはアナログ回路などをマクロとして定義し、このマクロ回路について消費電力を定義し、計算することも可能である。そして、このような場合は、RAM、ROMなどのマクロセルの入力変化の頻度だけではなく、特定の入力端子自体のレベルまたは複数の入力端子の組合せ等により、マクロセル自体の消費電力を複数設定し用意しておき、条件によって選択使用することも可能である。具体的な例の一つとしては、RAMにおいて、入力端子としていわゆるCS（チップセレクト）端子がハイレベルの場合は、RAMの中のセンスアンプ回路に直流的にも電流が流れ、また、ローレベルの場合は、センスアンプに直流電流が流れない機能を有する場合である。このようなRAMのマクロセルにおいては、マクロセル

の消費電力をCS端子のレベルによって可変にすることが有効である。

【0046】このように、マクロセルの消費電力計算においては、上記のようなケースに対応したマクロセルの消費電力の設定値を複数持ち、マクロセルの入力レベルの監視手段、およびその結果に基づき条件分けして、当初設定した複数の複数の消費電力を選択すれば良い。同様の考え方は、RAMだけに限らず、ROMあるいはアナログ回路のマクロセルにも必要に応じて設定可能であり、また、論理ゲートでの複合ゲートに関しても入力端子の変化回数だけでなく、入力端子のレベル信号に応じて消費電力の設定値を変えることにより、より正確に消費電力を予測することができる。

【0047】このように本発明では、論理ゲートおよびマクロセルの入力および出力端子の変化回数により容量の充放電電流を予測し、さらに、入力端子のレベル値またはその組合せにより、論理ゲートおよびマクロセルの消費電力設定値を複数設定して使用する応用が可能である。

【0048】さらに、入力端子の信号の時間的傾き（論理シミュレータではアナログ信号ではなく、遅延時間として扱うことが多い）により、他の消費電力成分を付加し、消費電力予測の精度を上げることも可能である。具体的な例としては、ゲートでの貫通電流成分、すなわち、入力信号が時間的に傾く、つまり、波形が鈍るために、CMOS回路であっても、信号変化時にPチャンネル、Nチャンネルトランジスタが同時に導通することによって流れる電流成分を電力予測に追加反映させることも可能である。この場合は、各端子での遅延時間の関数として、貫通電流値を設定しておき論理シミュレーション時の遅延時間データにより、貫通電流成分を追加して消費電力を予測すれば良い。

【0049】なお、この貫通電流は信号波形が急峻（論理シミュレータでは遅延時間が小さい場合）であれば無視できるため、遅延時間の一定以上の値の時のみ消費電力予測に加算し、あるいは論理ゲートまたはマクロセルで貫通電流が大きいと想定されるセルのみに貫通電流成分を付加することにより、計算を簡略化することが可能である。

【0050】また、電力予測をするための論理シミュレータの入力パターンは、本来電力予測をするときと同じ動作状態の入力パターンが必要である。しかし、通常用意される論理シミュレータの入力パターンは、本来の論理シミュレータの目的、すなわち動作を確認するため等の入力パターンが用意されるのであって、絶対時間にして、内部変化状態にしろ必ずしも消費電力を予測するための最適な入力パターンではないことが多い。しかし、このような場合であっても、単一、または複数の入力パターンによる本発明の電力予測値をさらに重み付けして合成演算したり、あるいは時間軸での補正をかける手段

13

などを付加することにより、あらためて別途消費電力予測をするための入力パターンを用意しなくても、実際の動作時での入力パターンでの消費電力を予測することが可能である。また、RAMのようなマクロセルでは、入力端子としてアドレス入力があるが、RAMのようなマクロセルでは消費電力の成分のひとつとしてこのアドレス入力の变化頻度に応じて比例する成分が存在する。この場合、すべてのアドレスの変化に対して消費電力を予測する場合は、論理シミュレータですべてのアドレスを変化させることなく、特定の入力パターンにより得られた

10 予想消費電力値に対して係数をかける等により電力予測する方法も、短時間に予測を行うことに対して有効である。

【0051】逆に、実際の動作に近い消費電力予測をするための入力パターンを使用することは論理シミュレータを高速に動作させることが困難になる場合もあり、本発明の個別電力予測値をさらに重み付けして合成演算する合成演算手段や、時間軸での補正を行う時間補正手段などを付加することは非常に有効であると言える。

【0052】

【発明の効果】以上において説明したように、本発明に係る消費電力予測装置は、高速で大規模回路のシミュレーションの可能な論理シミュレータにおける情報を用いて消費電力を予測することができるので、集積度の進んだ高密度の半導体装置上の回路の消費電力を短時間で、精度良く予測することが可能である。また、論理シミュレータと同様のデータを用いて処理を行うことができるので、データの入力に係る手間も少なく、シミュレーションと同時に本装置を稼働させることも可能である。

30 【0053】さらに、本装置は、ライブラリ化されたパラメータを用いて、各論理ゲート内部において消費される電力も含めて短時間に予測することが可能であり、時間をかけずに予測の精度を高めることができる。また、論理ゲート毎に消費電力を検証することができる。従って、この予測値に基づき電源配線を行い、また、半導体基板上に発生する熱のバランスを取りながらセル配置を

14

行うことにより半導体装置上に構成される論理回路の電源設計、配置設計の最適化を図ることができる。そして、このような最適化された配線、セル配置などを有する半導体装置により高密度、高速で信頼性の高い半導体装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る消費電力予測装置の構成を示す説明図である。

【図2】本発明に係る消費電力の予測処理をインバータに基づき説明する説明図である。

【図3】本発明に係る消費電力の予測処理をNANDゲートに基づき説明する説明図である。

【図4】ノード状態ファイルの出力の一部を示す説明図である。

【図5】変化頻度カウント部の処理の流れを示す流れ図である。

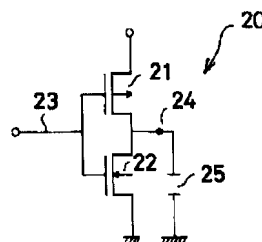
【図6】負荷容量抽出部の処理の流れを示す流れ図である。

【図7】消費電力予測部の処理の流れを示す流れ図である。

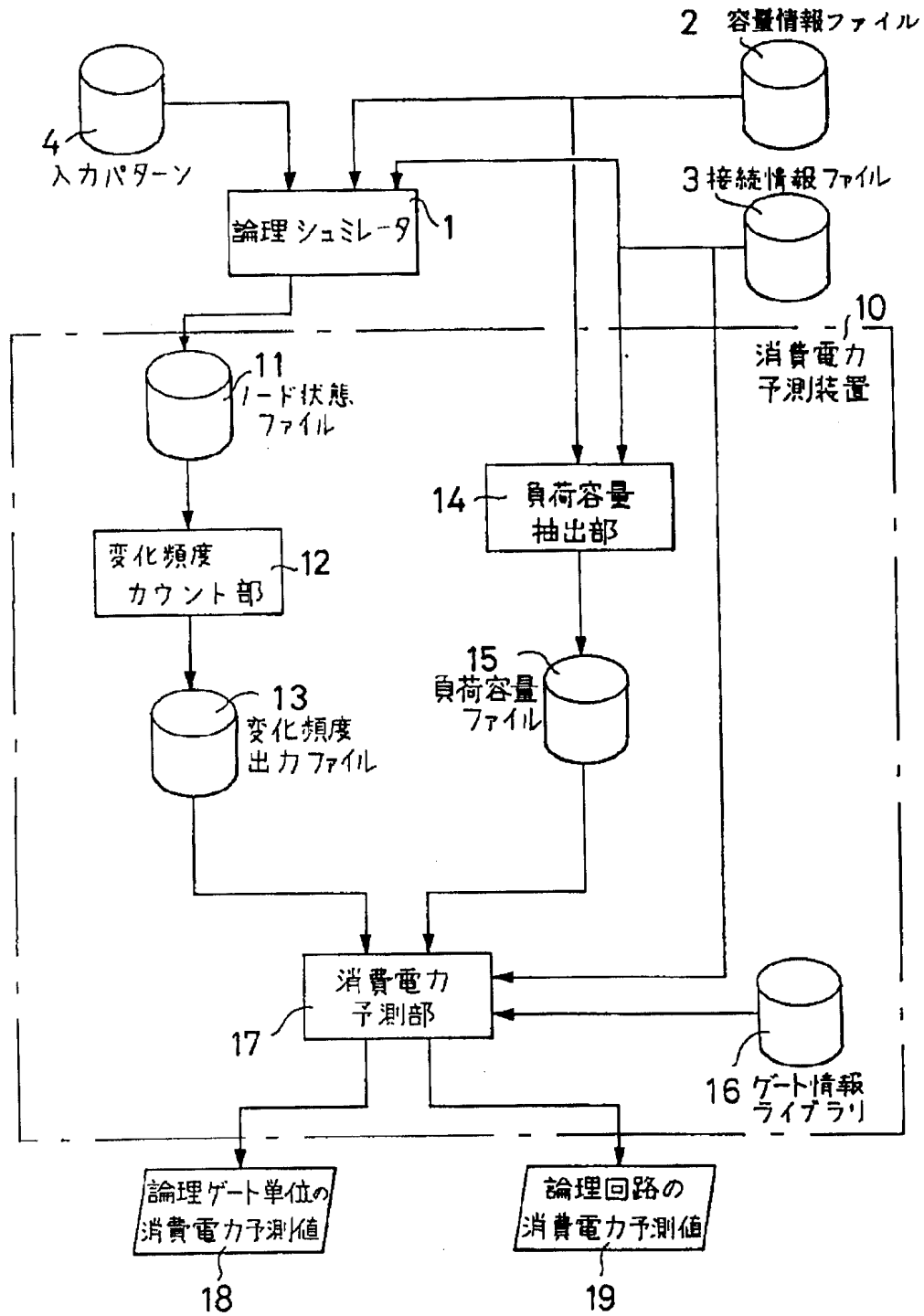
【符号の説明】

- 1 . . . 論理シミュレータ
- 2 . . . 容量情報ファイル
- 3 . . . 接続情報ファイル
- 4 . . . 入力パターンファイル
- 10 . . . 消費電力予測装置
- 11 . . . ノード状態ファイル
- 12 . . . 変化頻度カウント部
- 13 . . . 変化頻度出力ファイル
- 14 . . . 負荷容量抽出部
- 15 . . . 負荷容量ファイル
- 16 . . . ゲート情報ライブラリ
- 17 . . . 消費電力予測部
- 18 . . . 論理ゲート毎の消費電力出力
- 19 . . . 論理回路の消費電力出力

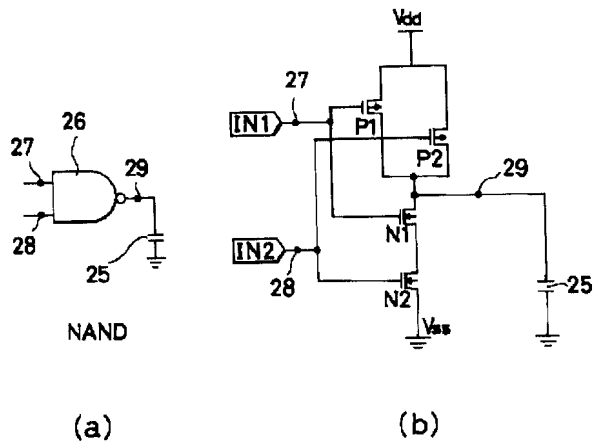
【図2】



【 図1 】



【 図3 】



【 図4 】

イベント ノード状態 (ノード番号 & 状態)

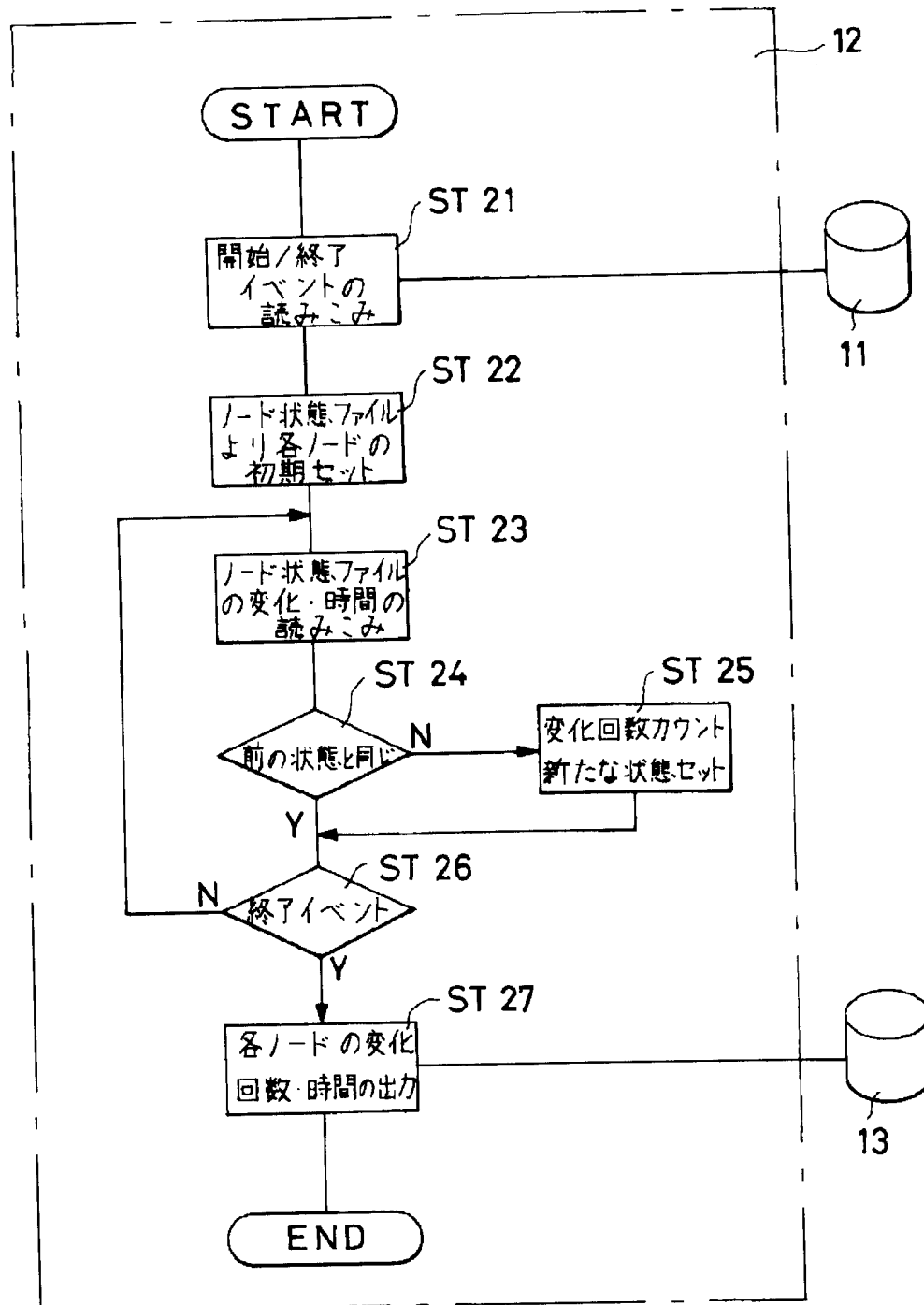
```

101 8 1 9 0 13 0 14 1 15 0 16 0 17 0 21 2 24 0 25 0 27 1
102 5 1 9 1 15 1 24 1
103 3 1 7 0 10 1 11 0 12 0 16 1 20 1 22 0 23 0 26 1
104 3 0 5 0 6 0 9 0 15 0 16 0 18 0 24 0 28 0 31 0 32 0
105 3 1 6 1 10 0 11 1 12 1 16 1 20 0 22 1 23 1 26 0 28
106 3 0 4 1 6 2 7 1 8 0 16 0 17 1 27 0 29 1 31 0 32 0
107 2 1 9 1 18 1 25 1 30 1
108 3 1 7 0 10 1 11 0 12 0 16 1 20 1 22 0 23 0 26 1
109 3 0 16 0 28 0
110 1 0 3 1 12 1 13 1 14 0 16 1 21 1
111 3 0 7 1 16 0

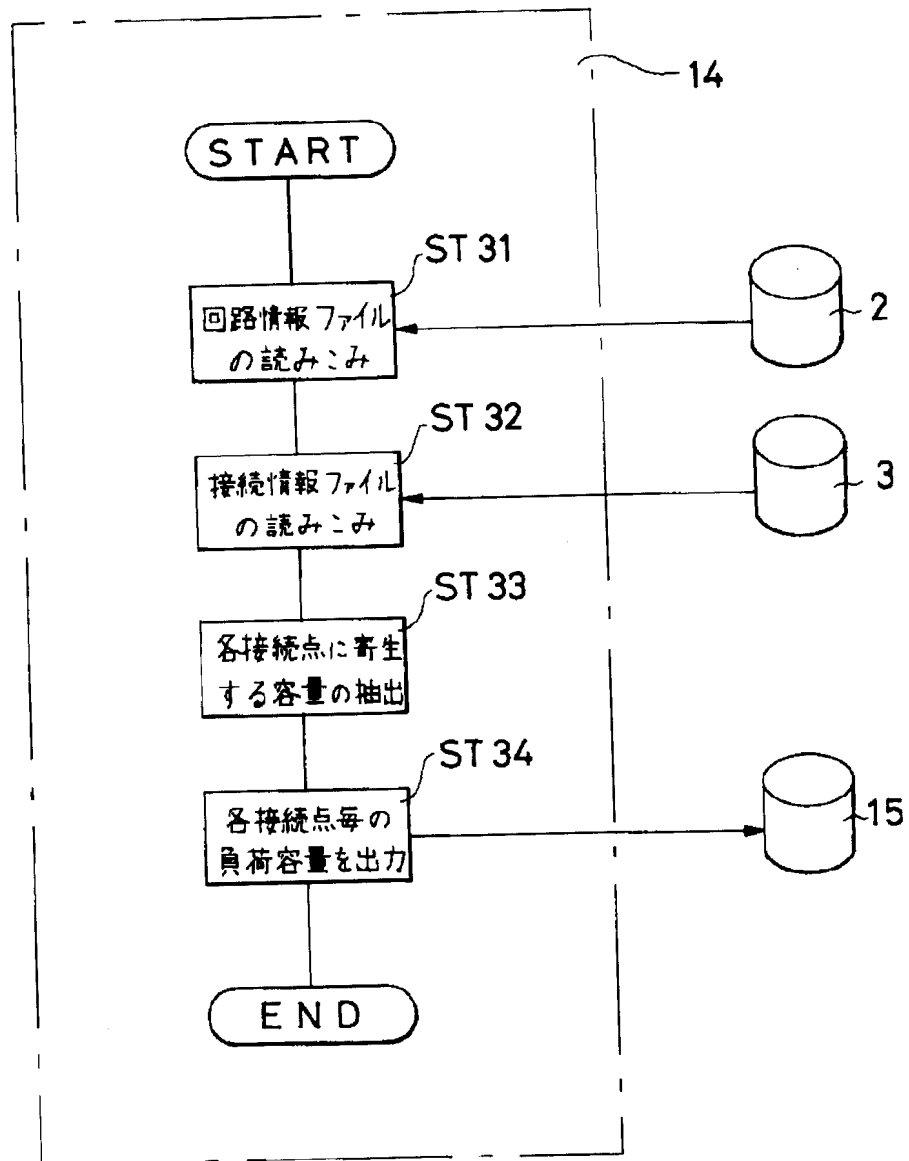
```

↑ 変化した状態
ノード番号

【 図5 】



【 図6 】



【 図7 】

